

SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE UNIT

Patent Number: JP7335783
Publication date: 1995-12-22
Inventor(s): YAMASHITA TATSURO; others: 01
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP7335783
Application Number: JP19940130620 19940613
Priority Number(s):
IPC Classification: H01L23/12; H01L23/02; H01L25/10; H01L25/11; H01L25/18
EC Classification:
Equivalents:

Abstract

PURPOSE:To allow a semiconductor device and semiconductor device unit provided with a BGA(Ball Grid Array) type package structure to be tested after manufacture and improve yield and heat dissipating efficiency.

CONSTITUTION:A semiconductor element 12 is mounted on a mounting plane 11b, a plurality of solder balls 13 to be external connecting terminals are arranged on a mounting plane 11b on the opposite side to the mounting plane 11a, and a printed board 11 is provided. A semiconductor device is provided with the printed board 11 and sealing resin 16 which seals the semiconductor element 12. An electrode member 17 is arranged on the semiconductor device, permitting the bottom edge part to be electrically connected with the semiconductor element 12 through a conductive pattern on the mounting plane 11a of the printed board 11 and the top edge part to be electrically connected from the external of the sealing resin 16. The electrode member 17 is formed of conductive metal pin, and is arranged so as to penetrate the sealing resin 16.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335783

(43) 公開日 平成 7 年 (1995) 12 月 22 日

(51) Int. Cl. ⁶

識別記号

F I

H01L 23/12

23/02

25/10

25/11

25/18

G

審査請求 未請求 請求項の数 11 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平 6-130620

(22) 出願日 平成 6 年 (1994) 6 月 13 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 1015 番地

(72) 発明者 山下 達郎

鹿児島県薩摩郡入来町副田 5950 番地 株式

会社九州富士通エレクトロニクス内

(72) 発明者 竹中 正司

神奈川県川崎市中原区上小田中 1015 番地

富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

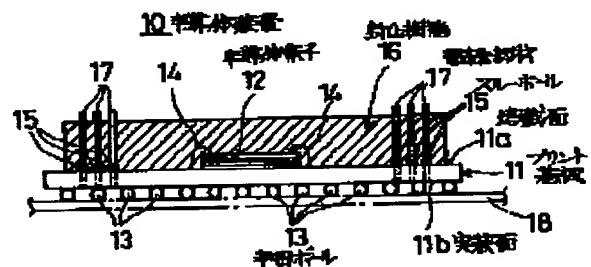
(54) 【発明の名称】 半導体装置及び半導体装置ユニット

(57) 【要約】

【目的】 本発明は B G A (Ball Grid Array) タイプのパッケージ構造を有する半導体装置及び半導体装置ユニットに関し、製造後における試験を可能にすると共に、歩留り及び放熱効率の向上を図ることを目的とする。

【構成】 半導体素子 12 を搭載面 11a に搭載すると共に、この搭載面 11a と反対側に位置する実装面 11b に外部接続端子となる複数の半田ボール 13 が配設されてなるプリント基板 11 と、半導体素子 12 を封止する封止樹脂 16 とを具備する半導体装置において、下端部がプリント基板 11 の搭載面 11a において導電パターンを介して半導体素子 12 と電気的に接続されると共に、上端部が封止樹脂 16 の外部より電気的に接続可能な構成とされた電極部材 17 を配設する。また、この電極部材 17 を導電性金属ピンにより形成し、封止樹脂 16 を貫通するよう配設する。

本発明の第 1 実施例の構成図



【特許請求の範囲】

【請求項1】 半導体素子(12)と、

該半導体素子(12)を搭載面(11a)に搭載すると共に、該搭載面(11a)と反対側に位置する実装面(11b)に該半導体素子(12)と電気的に接続されると共に外部接続端子となる複数のボール(13)が配設されてなる基板(11)と、

該基板(11)の搭載面(11a)上に形成されており、該半導体素子(12)を封止する封止樹脂(16)とを具備する半導体装置において、導電性部材により形成されており、下端部が該基板(11)の搭載面(11a)において該半導体素子(12)と電気的に接続されると共に、上端部が該封止樹脂(16)の外部より電気的に接続可能な構成とされた電極部材(17、22)を配設したことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、該電極部材(17、22)を導電性金属ピンにより形成し、

該導電性金属ピンが該封止樹脂(16)を貫通するように配設したことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、

該電極部材(22)の該他端部が該封止樹脂(16)に形成された孔部(23)の内部に位置するように構成したことを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれかに記載の半導体装置において、

該封止樹脂(16)の内部に電極パターン(31a、31d)が形成されてなる第2の基板(31)を埋設し、該電極部材(17)を該第2の基板(31)に形成された該電極パターン(31a、31d)に電気的に接続してなることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、該第2の基板(31)には該電極部材(17)を貫通させる貫通孔(32)が形成されており、該貫通孔(32)には該電極パターン(31a、31d)と該電極部材(17)とを電気的に接続すると共に、該第2の基板(31)と該電極部材(17)とを相互に支持させる接続部(33a、33b)が設けられてなることを特徴とする半導体装置。

【請求項6】 請求項1乃至5のいずれかに記載の半導体装置において、

該封止樹脂(16)の上部に該半導体素子(12)で発生する熱を放熱する放熱部材(41、51)を配設すると共に、該放熱部材(41、51)と該電極部材(17)とが係合する構成としたことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、該放熱部材(51)に電極パターン(52、53)を形

成し、該電極部材(17)を該放熱部材(51)に形成された該電極パターン(52、53)に電気的に接続してなることを特徴とする半導体装置。

【請求項8】 請求項1または2に記載の半導体装置(10)を複数個積層した構成としたことを特徴とする半導体装置ユニット。

【請求項9】 請求項8記載の半導体装置ユニットにおいて、

下部に配設される該半導体装置(10A)と上部に配設される該半導体装置(10B)との電気的接続を、

該ボール(13)と該電極部材(17)とが接続されることにより、

または該ボール(13)同士が接続されることにより、または該電極部材(17)同士が接続されることにより行う構成としたことを特徴とする半導体装置ユニット。

【請求項10】 請求項1または2記載の半導体装置(10)と、請求項3記載の半導体装置(20)とを積層した構成としたことを特徴とする半導体装置ユニット。

【請求項11】 請求項10記載の半導体装置ユニットにおいて、

請求項1または2記載の半導体装置(10)に形成された該電極部材(17)を請求項3記載の半導体装置(20)に形成された該孔部(23)の内部に挿入することにより、

上記請求項1または2記載の半導体装置(10)に形成された該電極部材(17)と、上記請求項3記載の半導体装置(20)に形成された該電極部材(22)とを電気的に接続したことを特徴とする半導体装置ユニット。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及び半導体装置ユニットに係り、特にBGA(Ball Grid Array)タイプのパッケージ構造を有する半導体装置及び半導体装置ユニットに関する。

【0002】近年、高集積化、高速化及びハイパワー化に対応でき、しかも低コストなパッケージ構造を有した半導体装置が求められている。

【0003】これらの要求に対処すべくBGAタイプのパッケージ構造が開発され、携帯電話を始めとして各種の電子機器に使用され、注目されるようになってきている。

【0004】

【従来の技術】図16は従来におけるプラスチックBGA(以下、PBGAという)タイプのパッケージ構造を有する半導体装置1を示している。

【0005】同図において、2は多層構造とされたプリント基板であり、その上面である搭載面2aには半導体素子3がダイボンディング等により固定されている。また、プリント基板2の搭載面2aと反対側に位置する実

装面 2 b には、複数の半田ボール 4 が配設されている。
この半田ボール 4 は外部接続端子として機能する。

【0006】また、プリント基板 2 の搭載面 2 a 及び多層化された内層部には所定の電極パターン（図示せず）がプリント形成されており、搭載面 2 a に形成された所定の電極パターンと半導体素子 3 との間にはワイヤ 5 が配設され、このワイヤにより電極パターンと半導体素子 3 は電気的に接続される。

【0007】更に、プリント基板 2 には複数のスルーホール 6 が形成されており、このスルーホール 6 を介して半導体素子 3 と電気的に接続された電極パターンはプリント基板 2 の実装面 2 b に引き出され、半田ボール 4 と電気的に接続する構成となっている。

【0008】一方、プリント基板 2 の搭載面 2 a の上部には、半導体素子 3 を封止する封止樹脂 7 が形成されている。この封止樹脂 7 は、半導体素子 3 を保護するために形成されるものであり、封止樹脂 7 が形成されることにより半導体素子 3 は封止樹脂 7 内に埋設された構成となる。

【0009】

【発明が解決しようとする課題】半導体装置 1 を上記のように PBGA 構造とすることにより、半導体素子 3 を高密度化しこれに伴いリード数が多くなったとしても、QFP (Quad Flat Package) のようにリードの強度が低下することではなく、確実な実装処理を行うことができる。

【0010】しかるに、従来の PBGA 構造の半導体装置 1 では、半導体素子 3 が封止樹脂 7 内に埋設された構成となるため、半導体装置 1 を回路基板等を実装した後に半導体素子 3 に対する試験を行うことができないという問題点があった。よって、半導体装置 1 が実装される電子機器の歩留りが低下するおそれがある。

【0011】また近年、複数の半導体装置を積層することにより実装密度を向上させることが行われているが、従来の PBGA 構造では半導体装置 1 を積層することはできず、よって実装密度を向上させることができないという問題点があった。

【0012】更に、従来の PBGA 構造の半導体装置 1 では、半導体素子 3 が樹脂封止されただけの構造であるため、半導体素子 3 で発生する熱の放熱効率が悪いという問題点があった。

【0013】本発明は上記の点に鑑みてなされたものであり、製造後における試験を可能にすると共に、歩留り及び放熱効率の向上を図った半導体装置及び半導体装置ユニットを提供することを目的とする。

【0014】

【課題を解決するための手段】上記の課題は、下記の手段を講じることにより解決することができる。

【0015】請求項 1 記載の発明では、半導体素子と、この半導体素子を搭載面に搭載すると共に、搭載面と反

対側に位置する実装面上に上記半導体素子と電気的に接続されると共に外部接続端子となる複数のボールが配設されてなる基板と、この基板の搭載面上に形成されており、上記半導体装置を封止する封止樹脂とを具備する半導体装置において、導電性部材により形成されており、下端部が上記基板の搭載面において半導体素子と電気的に接続されると共に、上端部が封止樹脂の外部より電気的に接続可能な構成とされた電極部材を配設したことを特徴とするものである。

10 【0016】また、請求項 2 記載の発明では、上記請求項 1 記載の半導体装置において、上記電極部材を導電性金属ピンにより形成し、この導電性金属ピンが封止樹脂を貫通するよう配設したことを特徴とするものである。

【0017】また、請求項 3 記載の発明では、上記請求項 1 または 2 記載の半導体装置において、上記電極部材の他端部が封止樹脂に形成された孔部の内部に位置するよう構成したことを特徴とするものである。

20 【0018】また、請求項 4 記載の発明では、上記請求項 1 乃至 3 のいずれかに記載の半導体装置において、上記封止樹脂の内部に電極パターンが形成されてなる第 2 の基板を埋設し、上記電極部材をこの第 2 の基板に形成された電極パターンに電気的に接続してなることを特徴とするものである。

【0019】また、請求項 5 記載の発明では、上記請求項 4 記載の半導体装置において、上記第 2 の基板には電極部材を貫通させる貫通孔が形成されており、この貫通孔には上記電極パターンと電極部材とを電気的に接続すると共に、上記第 2 の基板と電極部材とを相互に支持させる接続部を設けたことを特徴とするものである。

30 【0020】また、請求項 6 記載の発明では、上記請求項 1 乃至 5 のいずれかに記載の半導体装置において、上記封止樹脂の上部に半導体素子で発生する熱を放熱する放熱部材を配設すると共に、この放熱部材と電極部材とが係合する構成としたことを特徴とするものである。

【0021】また、請求項 7 記載の発明では、上記請求項 6 記載の半導体装置において、上記放熱部材に電極パターンを形成し、上記電極部材を放熱部材に形成された電極パターンに電気的に接続してなることを特徴とするものである。

40 【0022】また、請求項 8 記載の発明では、上記請求項 1 乃至 3 のいずれかに記載の半導体装置を複数個積層した構成としたことを特徴とするものである。

【0023】また、請求項 9 記載の発明では、上記請求項 8 記載の半導体装置ユニットにおいて、下部に配設される半導体装置と上部に配設される半導体装置との電気的接続を、上記ボールと電極部材とが接続されることにより、または上記ボール同士が接続されることにより、または上記電極部材同士が接続されることにより行う構成としたことを特徴とするものである。

50 【0024】また、請求項 10 記載の発明では、上記請

求項 1 または 2 記載の半導体装置と、請求項 3 記載の半導体装置とを積層した構成としたことを特徴とするものである。

【0025】更に、請求項 1 1 記載の発明では、上記請求項 1 0 記載の半導体装置ユニットにおいて、請求項 1 または 2 記載の半導体装置に形成された電極部材を請求項 3 記載の半導体装置に形成された孔部の内部に挿入することにより、請求項 1 または 2 記載の半導体装置に形成された電極部材と、請求項 3 記載の半導体装置に形成された電極部材とを電気的に接続したことを特徴とするものである。

【0026】

【作用】上記の各手段は下記のように作用する。

【0027】請求項 1 記載の発明によれば、基板の搭載面に樹脂封止された半導体素子を搭載すると共に実装面に複数のボールが配設された、いわゆる PBGA (Plastic Ball Grid Array) タイプの半導体装置において、下端部が上記基板の搭載面において半導体素子と電気的に接続されると共に、上端部が封止樹脂の外部より電気的に接続可能な構成とされた導電性部材よりなる電極部材を配設したことにより、電極部材を介して封止樹脂の外部より半導体素子と電気的導通を図ることが可能となる。従って、半導体装置を回路基板等に実装した後においても電極部材を用いて半導体素子の試験を行うことが可能となる。

【0028】また、請求項 2 記載の発明によれば、電極部材を導電性金属ピンにより形成し、この導電性金属ピンが封止樹脂を貫通するよう配設したことにより、簡単な構成で封止樹脂の外部より半導体素子と電気的な接続を図ることができる。

【0029】また、請求項 3 記載の発明によれば、上記電極部材の他端部が封止樹脂に形成された孔部の内部に位置するよう構成したことにより、外力印加時における他端部の変形を防止することができる。また、半導体装置を積層して半導体装置ユニットを形成するときに、孔部を位置決め孔として用いることができる。

【0030】また、請求項 4 記載の発明によれば、上記封止樹脂の内部に電極パターンが形成されてなる第 2 の基板を埋設し、上記電極部材をこの第 2 の基板に形成された電極パターンに電気的に接続することにより、半導体素子が配設された基板に加えて第 2 の基板を用いて電極パターンの引き回しを行うことが可能となるため、電極パターンの引き回しの自由度を向上させることができる。また、第 2 の基板は半導体素子が配設された基板に比べて配線スペースを広くとることが可能であるため、配設される電極パターンのインダクタンス特性を良好なものとすることができる。

【0031】また、請求項 5 記載の発明によれば、第 2 の基板に形成された貫通孔に電極部材が貫通され、接続部材により電極部材と第 2 の基板とを相互に支持させる

と共に電気的に接続する構成とすることにより、電極部材は第 2 の基板により位置決めがされるため、封止樹脂のモールド時に電極部材が封止樹脂により流れてしまうことを防止できる。また、第 2 の基板も封止樹脂のモールド前において電極部材により支持されるため、モールド時に第 2 の基板を支持する治具等は必要なく封止樹脂のモールドを容易に行うことができる。

【0032】また、請求項 6 記載の発明によれば、封止樹脂の上部に半導体素子で発生する熱を放熱する放熱部材を配設すると共に、この放熱部材と電極部材とが係合する構成としたことにより、半導体素子から発生する熱の放熱特性を向上することができる。また、放熱部材は電極部材により支持されるため、封止樹脂のモールド時に放熱部材を支持する治具等は必要なく封止樹脂のモールドを容易に行うことができる。

【0033】また、請求項 7 記載の発明によれば、上記放熱部材に電極パターンを形成し、上記電極部材を放熱部材に形成された電極パターンに電気的に接続した構成とすることにより、放熱特性及び電気的特性の双方を向上させることができる。

【0034】また、請求項 8 記載及び請求項 1 0 の発明によれば、上記請求項 1 または 2 記載の半導体装置を複数個積層した構成とすることにより、また上記請求項 1 または 2 記載の半導体装置と請求項 3 記載の半導体装置とを積層した構成とすることにより、実装効率の向上及び高集積化が可能となる。

【0035】また、請求項 9 記載の発明によれば、下部に配設される半導体装置と上部に配設される半導体装置との電気的接続を、上記ボールと電極部材とを接続することにより、または上記ボール同士を接続することにより、または上記電極部材同士を接続することにより行うことができるため、種々の積層構造を選定することが可能となり、積層構造選定の自由度を向上させることができる。

【0036】更に、請求項 1 1 記載の発明によれば、請求項 1 または 2 記載の半導体装置に形成された電極部材を請求項 3 記載の半導体装置に形成された孔部の内部に挿入し積層された各半導体装置の電気的接続を行う構成とされているため、請求項 1 または 2 記載の半導体装置に形成された電極部材を請求項 3 記載の半導体装置に形成された孔部の内部に挿入することにより、各半導体装置の位置決めを行うことができ、積層処理を容易に行うことができる。

【0037】

【実施例】次に本発明の実施例について図面と共に説明する。

【0038】図 1 は本発明の第 1 実施例である半導体装置 1 0 を示す断面図である。本実施例に係る半導体装置 1 0 は、上記した請求項 1 及び 2 に該当するものである。

【0039】同図に示されるように、半導体装置10は電極パターンが両面或いは多層形成されたプリント基板11を有しており、このプリント基板11の上面である搭載面11aには半導体素子12がダイボンディング等により固定されている。また、プリント基板11の搭載面11aと反対側の下面である実装面11bには、複数の半田ボール13が配設されている。この半田ボール13は外部接続端子として機能する。

【0040】また、プリント基板11の搭載面11aに形成された所定の電極パターン（図示せず）と半導体素子12との間にはワイヤ14が配設され、このワイヤ14によりプリント基板11と半導体素子12との導通が図られている。尚、上記電極パターンと半導体素子12との電気的接続は、ワイヤ14を用いた方法に限定されるものではなく、フリップチップ法或いはTAB (Tape Automated Bonding) 法等を用いてもよい。

【0041】更に、プリント基板11には複数のスルーホール15が形成されており、このスルーホール15を介して半導体素子12と電気的に接続された搭載面11aに形成された電極パターンは、プリント基板11の実装面11bに引き出される。また、実装面11bにも電極パターン（図示せず）が形成されており、半田ボール13はこの電極パターンに配設されている。上記のスルーホール15は、実装面11bにおいて半田ボール13と接続された電極パターンに接続されている。よって、半導体素子12は搭載面11aに形成された電極パターン、スルーホール15、実装面11bに形成された電極パターンを介して半田ボール13に電気的に接続された構成となっている。

【0042】一方、プリント基板11の搭載面11aの上部には、半導体素子12を外界に対して封止する封止樹脂16が形成されている。この封止樹脂16は、半導体素子12を保護するために形成されるものであり、封止樹脂16が形成されることにより半導体素子12は封止樹脂16内に埋設された構成となる。

【0043】また、プリント基板11の載置面11aには、本実施例の要部となる電極部材17が立設されている。この電極部材17は導電性を有する金属ピンにより構成されており、その下端部はプリント基板11の搭載面11aに形成されたスルーホール15内に嵌入されている。これにより、電極部材17はスルーホール15と電気的に接続されると共にプリント基板11に固定される。また、電極部材17は図示されるように封止樹脂16を上下に貫通するよう配設されており、その上端部は封止樹脂16の上部に突出した構成とされている。

【0044】前記したように、スルーホール15はプリント基板11の載置面11aに形成された電極パターンを介して半導体素子12に接続されており、また実装面11bに形成された電極パターンを介して半田ボール13とも接続されている。よって、スルーホール15に電極

部材17を電気的に接続することにより、電極部材17は半導体素子12及び半田ボール13と共に電気的に接続された構成となる。

【0045】また、電極部材17の上端部は封止樹脂16の上部に突出した構成とされているため、封止樹脂16の外部より電極部材17と電気的接続を行うことが可能となる。即ち、本実施例に係る半導体装置10によれば、プリント基板11の載置面11aが封止樹脂16により覆われていても、封止樹脂16より突出した電極部材17を介して半導体素子12及び半田ボール13と電気的接続を図ることができる。

【0046】よって、半導体装置10を回路基板18

（図1に一点鎖線で示す）等を実装した後において、封止樹脂16の上部に突出した電極部材17を用いて半導体素子12が適正に稼働するかどうか、また各半田ボール13が回路基板18に適正に半田接続されているかどうか（適正に実装されているかどうか）等の試験を実施することが可能となる。従って、半導体装置10を回路基板18等を実装する際の歩留りを向上させることができ、これに伴い半導体装置10が搭載される電子機器の信頼性を向上させることができる。

【0047】また、電極部材17は金属製のピン状部材であり、安価にかつ容易に形成することができ、またプリント基板11上における電極部材17の固定は、従来からプリント基板11に形成されているスルーホール15を利用している。このため、電極部材17を設けるに際し、プリント基板11に他の構成物を形成する必要はなくなり、これによっても半導体装置10を安価にかつ容易に形成することができる。更に、電極部材17を外部接続端子として用いることにより、後述するように半導体装置10を積層することも可能となる。

【0048】図2は本発明の第2実施例である半導体装置20を示す断面図である。

【0049】第2実施例に係る半導体装置20は上記した請求項3に該当するものである。尚、図2において、図1に示した構成と同一の構成については同一符号を付してその説明を省略する。また、以下説明する各実施例においても同様とする。

【0050】同図に示す半導体装置20は、電極部材22の上端部が封止樹脂16に形成された孔部23内部に位置するよう構成したことを特徴とするものである。即ち、本実施例に係る半導体装置20では、導電性金属ピンにより構成される電極部材22の上端部は封止樹脂16から突出しておらず、封止樹脂16に形成された孔部23の内部に位置した構成となっている。

【0051】上記のように、電極部材22の上端部が孔部23内部に位置するよう形成するには、先ず第1実施例と同様に電極部材22が封止樹脂16から突出するよう封止樹脂16をモールドし、その後に電極部材22に対してエッチング処理を行い、電極部材22を所定量

10

20

30

40

50

(孔部 23 の深さに相当する) だけ除去することにより形成される。

【0052】また、予め電極部材 22 にハーフエッチング処理を行っておき、封止樹脂 16 をモールドした後、このハーフエッチング処理を行った部位において切断することによっても形成することができる。この切断処理は、電極部材 22 の切断位置にはハーフエッチング処理により傷が形成されているため、若干量折り曲げたり、また強く引き抜くことにより容易に切断される。そして、電極部材 22 の切断された部分 (不要部分) を取り去ることにより孔部 23 が形成される。

【0053】上記構成とされた半導体装置 20 において電極部材 22 と電氣的接続を図るには、図に示されるような孔部 23 に挿入しうる電極ピン 24 を用い、この電極ピン 24 を孔部 23 に挿入することにより電極部材 22 と接続させ電氣的接続を行う。

【0054】上記構成とされた半導体装置 20 によれば、電極部材 22 の上端部が封止樹脂 16 に形成された孔部 23 の内部に位置し外部に突出していないため、半導体装置 20 に外力が印加されたとしても、電極部材 22 に変形が発生することではなく、第 1 実施例に係る半導体装置 10 に比べて信頼性を向上させることができる。また、後述するように半導体装置 20 を積層して半導体装置ユニットを形成するときに、孔部 23 を位置決め孔として用いることができる。

【0055】図 3 は本発明の第 3 実施例である半導体装置 30 を示す断面図である。第 3 実施例に係る半導体装置 30 は上記した請求項 4 及び請求項 5 に該当するものである。

【0056】本実施例に係る半導体装置 30 は、封止樹脂 16 の内部に第 2 の基板となる中間基板 31 を設け、この中間基板 31 を電極部材 17 に支持させると共に電極部材 17 に電氣的に接続したことを特徴とするものである。電極部材 17 は封止樹脂 16 を貫通すると共に中間基板 31 を貫通して封止樹脂 16 の外部に突出した構成となっている。

【0057】図 4 は中間基板 31 の上面部を拡大して示す図であり、また図 5 は中間基板 31 を拡大して示す断面図である。図 5 に示すように、中間基板 31 は積層基板であり、上部より第 1 の電極パターン層 31 a、第 1 のベース板 31 b、接着剤層 31 c、第 2 のベース板 31 d、第 2 の電極パターン層 31 e が順次積層された構成となっている。

【0058】この中間基板 31 を構成する各層において、第 1 の電極パターン層 31 a はグラウンドプレーンとして機能し (以下、グラウンドプレーン 31 a という)、第 2 の電極パターン層 31 e は電源プレーンとして機能する (以下、電源プレーン 31 e という)。また、第 1 のベース板 31 b 及び第 2 のベース板 31 d は例えばガラスエポキシ基板であり、絶縁性を有すると共に中間基

板 31 が所定の機械的強度を維持できるよう構成されている。

【0059】グラウンドプレーン 31 a は第 1 のベース板 31 b にプリント形成され、電源プレーン 31 e は第 2 のベース板 31 d にプリント形成されている。更に、接着剤層 31 c は第 1 のベース板 31 b と第 2 のベース板 31 d とを接着し、これにより積層基板たる中間基板 31 が形成されている。

【0060】また、上記構成とされた中間基板 31 には、電極部材 17 の配設位置に対応するよう複数の貫通孔 32 が形成されている。電極部材 17 は、この貫通孔 32 を貫通することにより中間基板 31 の上部に延出し、上記したように封止樹脂 16 の表面より外部に突出する。

【0061】ところで、半導体素子 12 に形成されワイヤ 14 を介して半田ボール 13 及び電極部材 17 と電氣的に接続される電極パッドは、大略して半導体素子 12 に対して電源供給を行う電源パッドと、接地を行うグラウンドパッドと、信号の授受が行われる信号パッドとに分類される。いま、電源パッドと接続された電極部材 17 を電源ピン 17 a とし、グラウンドパッドと接続された電極部材 17 をグラウンドピン 17 b とし、信号パッドに接続された電極部材 17 を信号ピン 17 c とし、各ピン 17 a ~ 17 c が図 5 に示されるように配設されているものとする。

【0062】そこで、各ピン 17 a ~ 17 c と中間基板 31 との電氣的接続構造に注目すると、電源ピン 17 a は貫通孔 32 に形成されたスルーホール 33 a (接続部を構成する) を介して電源プレーン 31 e と電氣的に接続されている。また、グラウンドピン 17 b は貫通孔 32 に形成されたスルーホール 33 b を介してグラウンドプレーン 31 a と電氣的に接続されている。更に、信号ピン 17 c はグラウンドプレーン 31 a 及び電源プレーン 31 e と電氣的に接続されることなく、単に中間基板 31 を貫通した構造となっている。

【0063】半導体装置 30 を上記構成とすることにより、半導体素子 12 が配設されたプリント基板 11 に加えて中間基板 31 を用いて電極パターンの引き回しを行うことが可能となり、電極パターンの引き回しの自由度を向上させることができる。また、中間基板 31 は半導体素子 12 が配設されたプリント基板 11 に比べて配線スペースを広くとることが可能であるため、配設される電極パターンのインダクタンス特性を良好なものとするることができる。よって、本実施例のように中間基板 31 に特に低いインダクタンス特性を要求されるグラウンドプレーン 31 a、電源プレーン 31 e を配設することにより半導体装置 30 の電氣的特性を向上させることができる。

【0064】また上記のように、半導体装置 30 は中間基板 31 に形成された貫通孔 32 に電極部材 17 が貫

通され、接続部材となるスルーホール33a, 33bにより電極部材と第2の基板とを相互に支持された構成となっている。従って、電極部材17はその上部が中間基板31により位置決めがされるため、封止樹脂16のモールド時に電極部材17が封止樹脂により流れてしまうことを防止できる。

【0065】即ち、第1及び第2実施例で述べた中間基板31を設けない構成の半導体装置10, 20では、封止樹脂16のモールド前の状態において電極部材17は下端部がプリント基板11に形成されたスルーホール15に嵌入して固定されたのみの片持ち梁状の状態となっているため、その上端部近傍は変位し易い状態となっている。このため、封止樹脂16をモールドすると、装填される封止樹脂16に押圧されて電極部材17が曲がりたり所定の位置から変位するおそれがある。

【0066】これに対して本実施例の半導体装置30は、電極部材17の上部近傍に中間基板31が配設されて電極部材17を支持するため、電極部材17は下端部及び上端部の双方が支持された構成となり、封止樹脂16がモールドされても上記の曲がりや変位が発生することではなく電極部材17の位置決めを確実に行うことができる。また、中間基板31も封止樹脂16のモールド前において電極部材17により支持されるため、モールド時に中間基板31を支持する治具等は必要なく封止樹脂16のモールドを容易に行うことができる。

【0067】図6は本発明の第4実施例である半導体装置40を示す断面図である。第4実施例に係る半導体装置40は上記した請求項6及び請求項7に該当するものである。

【0068】図6に示されるように、本実施例に係る半導体装置40は、封止樹脂16の上部に半導体素子12で発生する熱を放熱する放熱部材41を配設し、この放熱部材41が電極部材17の上端部と係合した構成とされている。

【0069】放熱部材41は平板形状を有しており、例えば銅或いはアルミ等の熱伝導性の良好な金属により構成されている。この放熱部材41は、複数配設された電極部材17の上部と係合することにより、放熱部材41及び封止樹脂16に支持された構成とされている。

【0070】また、放熱部材41の電極部材17が係合する部位には、電極部材17が挿入される孔部が形成されており、この孔部に絶縁性接着剤を塗布した上で電極部材17が挿入され、この絶縁性接着剤が固化することにより放熱部材41は電極部材17に固定される。

【0071】尚、放熱部材41を取り付ける前の状態の半導体装置40は、第1実施例で示した半導体装置10と同一構成であり、電極部材17の上端部は封止樹脂16の上部より突出している。また、放熱部材41の材質として非導電性材料を用いることにより、絶縁性接着剤を不要とすることもできる。

【0072】上記の固定状態において、放熱部材41と電極部材17との間には絶縁性接着剤が存在するため、放熱部材41と電極部材17とが電気的に接続されてしまうようなことはない。尚、放熱部材41の取り付けは、電極部材17を用いて半導体素子12等に対する試験が実施された後に行われる。このため、放熱部材41を設ける構成としたことにより、上記した各試験が実施できなくなるようなことはない。

【0073】半導体装置40を上記構成とすることにより、半導体素子12で発生した熱は封止樹脂16ばかりではなく電極部材17を介して放熱部材41へ熱伝導してゆく。また放熱部材41は、平板状の大気との接触面積が広い構成とされているため伝導された半導体素子12の熱を効率良く放熱することができ、よって半導体素子12の冷却を確実に行うことができる。また、電極部材17は金属により形成されているため、単に封止樹脂16のみによる放熱作用に比べて放熱効率を向上させることができる。

【0074】図7は、図6に示した半導体装置40の変形例である半導体装置50を示している。

【0075】半導体装置50は、放熱部材51の半導体素子12と対向する部分を下方に突出させて突出部51aを形成し放熱部材51と半導体素子12とを近接させると共に、放熱部材51の上面に電極パターンとしてグラウンドプレーン52を、また放熱部材51の下面に電極パターンとして電源プレーン53を形成したことを特徴とするものである。

【0076】上記のように、放熱部材51に突出部51aを形成し、突出部51aと半導体素子12とを近接させることにより、半導体素子12で発生した熱を効率良く放熱部材51に熱伝導させることが可能となり、半導体素子12の冷却をより効率良く行うことが可能となる。

【0077】また、放熱部材51の上面に電極パターンとしてグラウンドプレーン52を形成すると共に放熱部材51の下面に電極パターンとして電源プレーン53を形成し、この各プレーン52, 53を電極部材17と電気的に接続する構成とすることにより、放熱部材51に前記した第3実施例で説明した中間基板31と同様の機能を持たせることができる。

【0078】図8は放熱部材51をその背面側から見た図である。放熱部材51の突出部51aを除く位置には電極部材17を貫通させるための複数の貫通孔54が形成されている。また、グラウンドプレーン52は放熱部材51の上面全面にわたり形成されており、電源プレーン53は放熱部材51の背面において突出部51aの形成位置を除く部分に形成されている。

【0079】このように放熱部材51に形成されたグラウンドプレーン52と電極部材17との電気的接続、及び電源プレーン53と電極部材17との電気的接続は、例

えば第3実施例で説明した中間基板31と同様に、貫通孔54にスルーホール（図示せず）を設け、このスルーホールを用いて電氣的接続を行う構成とすればよい。

【0080】上記のように、放熱部材51に中間基板31としての機能をも付加することにより、放熱特性及び電氣的特性の双方を向上させることができる。また、封止樹脂16のモールド時における電極部材17の変形及び位置ずれの防止を図ることもできる。

【0081】図9は本発明の第5実施例である半導体装置60を示す断面図である。

【0082】第5実施例に係る半導体装置60は、前記した第3実施例に係る半導体装置301に設けられた中間基板31（図3参照）と、第4実施例に係る半導体装置40に設けられた放熱部材41を共に一つの半導体装置60に配設したことを特徴とするものである。

【0083】上記構成とされた半導体装置60では、図7及び図8に示した半導体装置50と同様に、放熱特性及び電氣的特性の双方を向上させることができる。また、中間基板31と放熱部材41が夫々独立した構成とされているため、特に中間基板31における電極プレーンの配設位置を、突出部51a（図8参照）の形成位置に拘わらず選定することが可能となる。また、図7及び図8に示した半導体装置50に比べて電極プレーンの面積を広くすることができるため、インダクタンス特性を向上させることができる。

【0084】続いて、図10乃至図15を用いて、半導体装置ユニットの実施例について説明する。

【0085】図10及び図11は、本発明の第6実施例となる半導体装置ユニット70、80を示している。第6実施例に係る半導体装置ユニット70、80は上記した請求項8及び請求項9に該当するものである。

【0086】図10及び図11に示される半導体装置ユニット70、80は、共に第1実施例で説明した半導体装置10を複数個（本実施例では2個）積層したことを特徴とするものである。

【0087】この内、図10に示される半導体装置ユニット70は、下部に配設された半導体装置10Aに設けられている電極部材17の封止樹脂16より突出した部位と、上部に配設された半導体装置10Bに設けられている半田ボール13とを接続することにより、下部に配設される半導体装置10Aと上部に配設される半導体装置10Bとの電氣的接続を行う構成とされている。

【0088】一方、図11に示される半導体装置ユニット80は、下部に配設された半導体装置10Aに設けられている半田ボール13と、上部に配設された半導体装置10Bに設けられている半田ボール13とを対向させ、各半田ボール13を接続することにより下部に配設される半導体装置10Aと上部に配設される半導体装置10Bとの電氣的接続を行う構成とされている。

【0089】第1実施例で説明した半導体装置10は、

電極部材17の上端部が封止樹脂16より突出した構成となっているため、この電極部材17の突出部位を接続端子として用いることができる。よって、半導体装置10の上面側においてはこの電極部材17の突出部位が接続端子となり、背面側においては半田ボール13が接続端子となるため、容易に複数の半導体装置10を積層することが可能となる。

【0090】このように、半導体装置10（10A、10B）を積層して半導体装置ユニット70、80を構成することにより、実装基板における1個の半導体装置の配設スペースに複数の半導体装置10を配設することが可能となり、実装効率を向上させることができる。また、半導体装置10（10A、10B）を積層するに際し、種々の積層構造を選定することが可能となり、積層構造選定の自由度を向上させることができる。

【0091】尚、図示しなかったが、上記した半導体装置10A、10Bを積層する際、各半導体装置10A、10Bに設けられている電極部材17の封止樹脂16より突出した部位同士を接合することにより、下部に配設される半導体装置10Aと上部に配設される半導体装置10Bとの電氣的接続を図る構成としてもよい。

【0092】図12及び図13は、本発明の第7実施例となる半導体装置ユニット90、100を示している。第7実施例に係る半導体装置ユニット90、100は上記した請求項10及び請求項11に該当するものである。

【0093】第7実施例に係る半導体装置ユニット90、100は、共に第1実施例で説明した半導体装置10と、第2実施例で説明した半導体装置20とを積層した構成とされている。

【0094】具体的には、図12に示す半導体装置ユニット90は、半導体装置10に形成された電極部材17の封止樹脂16より突出した部位を、半導体装置20に形成された孔部23の内部に挿入した構成とされている。半導体装置10に形成された電極部材17は、半導体装置20に形成された孔部23内に挿入されることにより半導体装置20に設けられた電極部22と電氣的に接続される構成とされている。よって、電極部材17と電極部22とが電氣的に接続されることにより、半導体装置10と半導体装置20とは電氣的に接続される。

【0095】上記のように、半導体装置ユニット90は半導体装置10に形成された電極部材17を半導体装置20に形成された孔部23の内部に挿入することにより、各半導体装置10、20の位置決めを行うことができるため、積層処理を容易に行うことができる。

【0096】また、図13に示す半導体装置ユニット100は、図12に示す半導体装置ユニット90の上部に更に第1実施例に係る半導体装置10を積層したものである。同図における最上部に位置する半導体装置10Bと中央部に位置する半導体装置10Aとの電氣的接続

は、図 11 を用いて説明した半導体装置ユニット 80 と同様に、半田ボール 13 同士を接続することにより行っている。本実施例に係る半導体装置ユニット 100 のように、半導体装置 10、20 は任意の個数積層する事が可能である。

【0097】図 14 及び図 15 は本発明の第 8 実施例である半導体装置ユニット 110、120 を示している。

【0098】前記した半導体装置ユニット 70~100 は、第 1 実施例に係る半導体装置 10、第 2 実施例に係る半導体装置 20 を複数個積層した構造としていた。しかるに、積層する半導体装置は必ずしも上記の半導体装置 10、20 に限定されるものではない。図 14 に示される半導体装置ユニット 110 は、第 1 実施例に係る半導体装置 10 の上部に QFP (Quad Flat Package) タイプの半導体装置 111 を積層したものである。半導体装置 111 は、半導体素子 112、樹脂パッケージ 113、ガルウイング状に形成されたリード 114 等により構成された、表面実装型の半導体装置である。

【0099】第 1 実施例に係る半導体装置 10 に設けられる電極部材 17 の配設位置を、半導体装置 111 に設けられるリード 114 の形成位置に対応させることにより、種類の異なる半導体装置 111 を容易に半導体装置 10 の上部に積層することができる。

【0100】また、図 15 に示される半導体装置ユニット 120 は、第 1 実施例に係る半導体装置 10 の上部に多数の半導体装置 121 が配設された回路基板 122 を積層した構成とされている。このように、半導体装置 10 の上部に積層されるのは、半導体装置に限定されるものではなく、回路基板 122 を積層することも可能であり、半導体装置ユニット 120 の実装効率を更に向上させることができる。

【0101】尚、上記した各構成の半導体装置ユニット 70~120 において、第 1 実施例に係る半導体装置 10、或いは第 2 実施例に係る半導体装置 20 を用いて積層構造を実現した実施例を示したが、第 3 実施例に係る半導体装置 30 を用いて積層構造を実現し、半導体装置ユニットを構成しうることは勿論である。

【0102】

【発明の効果】上述の如く本発明は、下記の種々の効果を奏するものである。

【0103】請求項 1 記載の発明によれば、電極部材を介して封止樹脂の外部より半導体素子と電気的導通を図ることが可能となるため、半導体装置を回路基板等を実装した後においても電極部材を用いて半導体素子の試験を行うことが可能となる。

【0104】また、請求項 2 記載の発明によれば、簡単な構成で封止樹脂の外部より半導体素子と電気的な接続を図ることができる。

【0105】また、請求項 3 記載の発明によれば、外力印加時における他端部の変形を防止することができ、ま

た半導体装置を積層して半導体装置ユニットを形成するときに、孔部を位置決め孔として用いることができる。

【0106】また、請求項 4 記載の発明によれば、半導体素子が配設された基板に加えて第 2 の基板を用いて電極パターンの引き回しを行うことが可能となるため、電極パターンの引き回しの自由度を向上させることができる。また、第 2 の基板は半導体素子が配設された基板に比べて配線スペースを広くとることが可能であるため、配設される電極パターンのインダクタンス特性を良好なものとすることができる。

【0107】また、請求項 5 記載の発明によれば、電極部材は第 2 の基板により位置決めがされるため、封止樹脂のモールド時に電極部材が封止樹脂により流れてしまうことを防止できる。また、第 2 の基板も封止樹脂のモールド前において電極部材により支持されるため、モールド時に第 2 の基板を支持する治具等は必要なく封止樹脂のモールドを容易に行うことができる。

【0108】また、請求項 6 記載の発明によれば、半導体素子から発生する熱の放熱特性を向上させることができる。また、放熱部材は電極部材により支持されるため、封止樹脂のモールド時に放熱部材を支持する治具等は必要なく封止樹脂のモールドを容易に行うことができる。

【0109】また、請求項 7 記載の発明によれば、放熱特性及び電気的特性の双方を向上させることができる。

【0110】また、請求項 8 記載及び請求項 10 の発明によれば、実装効率を向上させることができる。

【0111】また、請求項 9 記載の発明によれば、種々の積層構造を選定することが可能となり、積層構造選定の自由度を向上させることができる。

【0112】更に、請求項 11 記載の発明によれば、請求項 1 または 2 記載の半導体装置に形成された電極部材を請求項 3 記載の半導体装置に形成された孔部の内部に挿入することにより、各半導体装置の位置決めを行うことができ、積層処理を容易に行うことができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例である半導体装置の構成を示す断面図である。

【図 2】本発明の第 2 実施例である半導体装置の構成を示す断面図である。

【図 3】本発明の第 3 実施例である半導体装置の構成を示す断面図である。

【図 4】中間基板を拡大して示す斜視図である。

【図 5】中間基板を拡大して示す断面図である。

【図 6】本発明の第 4 実施例である半導体装置の構成を示す断面図である。

【図 7】本発明の第 4 実施例の変形例である半導体装置の構成を示す断面図である。

【図 8】放熱部材を拡大して示す斜視図である。

【図 9】本発明の第 5 実施例である半導体装置の構成を示す断面図である。

17

【図 10】本発明の第 6 実施例である半導体装置ユニットの構成を示す断面図である。

【図 11】本発明の第 6 実施例の変形例である半導体装置ユニットの構成を示す断面図である。

【図 12】本発明の第 7 実施例である半導体装置ユニットの構成を示す断面図である。

【図 13】本発明の第 7 実施例の変形例である半導体装置ユニットの構成を示す断面図である。

【図 14】本発明の第 8 実施例である半導体装置ユニットの構成を示す断面図である。

【図 15】本発明の第 8 実施例の変形例である半導体装置ユニットの構成を示す断面図である。

【図 16】従来の半導体装置の一例を示す断面図である。

【符号の説明】

10, 10A, 10B, 20, 30, 40, 50, 60 半導体装置
11 プリント基板
11a 搭載面
11b 実装面

12 半導体素子

13 半田ボール

14 ワイヤ

15, 33a, 33b スルーホール

16 封止樹脂

17, 22 電極部材

17a 電源ピン

17b グランドピン

17c 信号ピン

10 18 回路基板

23 孔部

24 電極ピン

31 中間基板

31a, 52 グランドプレーン

31e, 53 電源プレーン

32, 54 貫通孔

41, 51 放熱部材

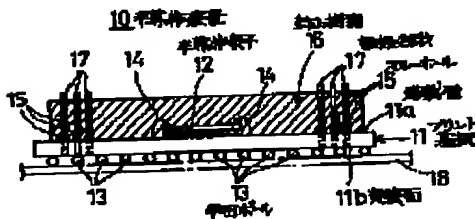
51a 突出部

60, 70, 80, 90, 100, 110, 120 半

20 導体装置ユニット

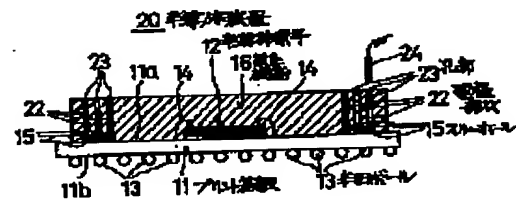
【図 1】

本発明の第 1 実施例の構成図



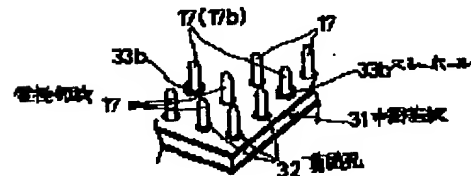
【図 2】

本発明の第 2 実施例の構成図



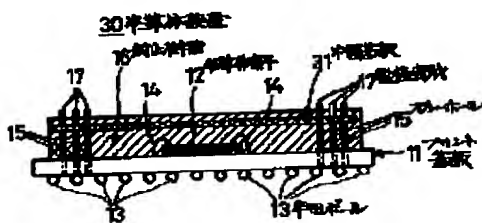
【図 4】

中間基板を拡大して示す斜視図



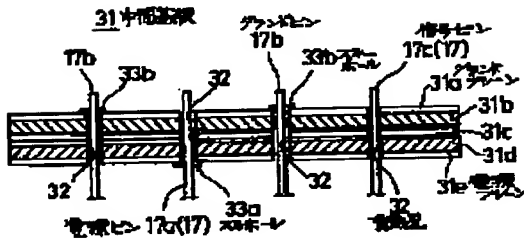
【図 3】

本発明の第 3 実施例の構成図



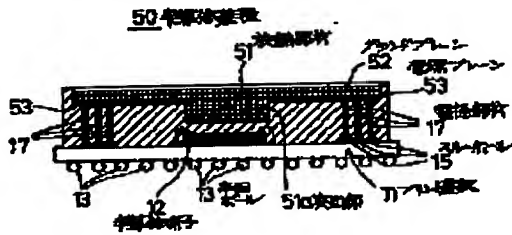
【図 5】

中間基板を拡大して示す断面図



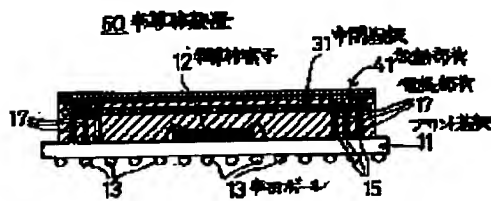
【図 7】

本発明の第4実施例の変形例を示す構成図



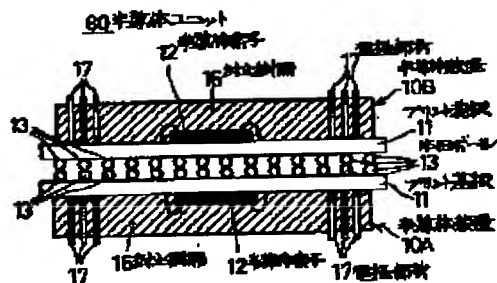
【図 9】

本発明の第5実施例の構成図



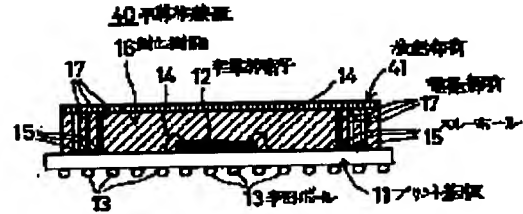
【図 11】

本発明の第6実施例の変形例を示す構成図



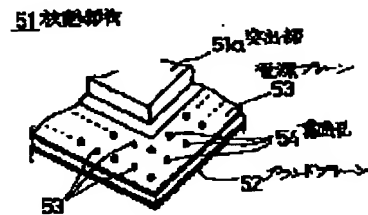
【図 6】

本発明の第4実施例の構成図



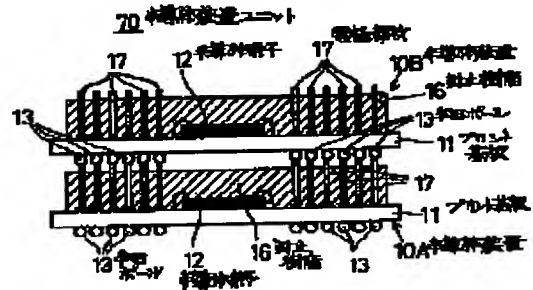
【図 8】

本発明の第4実施例を拡大して示す斜視図



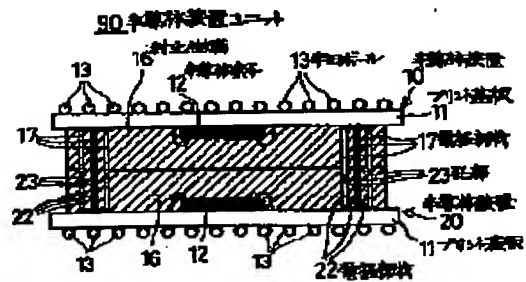
【図 10】

本発明の第6実施例の構成図

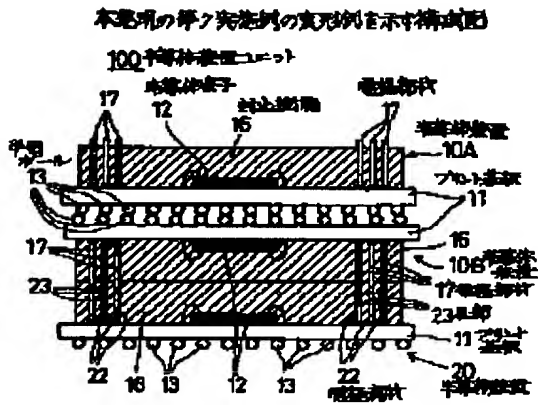


【図 12】

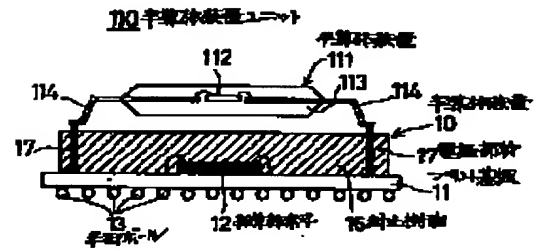
本発明の第7実施例の構成図



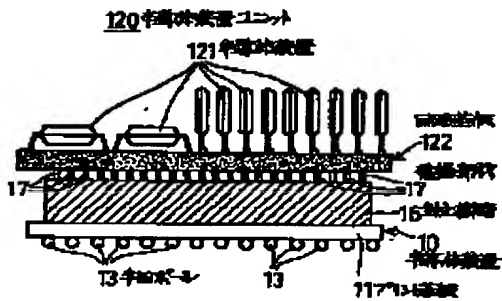
【図 1 3】



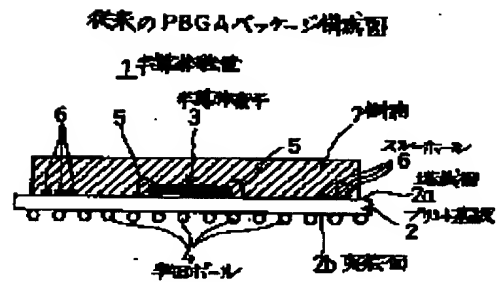
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H01L 23/12

L

P

J

25/14

Z